

REC'D 06 MAY 2005

WIPO Europäisches PCT
Patentamt



European
Patent Office

Office européen
des brevets

7B/05/50567

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

04100681.8 ✓

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk



Anmeldung Nr:
Application no.: 04100681.8 ✓
Demande no:

Anmeldetag:
Date of filing: 20.02.04 ✓
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Philips Intellectual Property & Standards
GmbH
Steindamm 94
20099 Hamburg
ALLEMAGNE
Koninklijke Philips Electronics N.V.
Groenewoudseweg 1
5621 BA Eindhoven
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Skalierbarer System Chip

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G06F13/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT RO SE SI SK TR LI

BESCHREIBUNG

Skalierbarer System Chip

Die Erfindung betrifft einen skalierbaren System Chip zur Verkopplung von wenigstens zwei Datenbussystemen.

5

Insbesondere in der Fahrzeugtechnik tritt das Problem auf, das in einem Fahrzeug mehrere Datenbussysteme verschiedenen Typs vorgesehen sind. Um einen Datenaustausch auch zwischen den Datenbussystemen verschiedener Typen vornehmen zu können, sind sogenannte Gateways vorgesehen. Für diese Gateways sind

10 verschiedene Bauarten bekannt.

Eine Möglichkeit besteht darin, in einem Gateway all diejenigen Transceivertypen vorzusehen, die für die in dem Fahrzeug vorgesehenen Datenbussysteme geeignet sind. Es ist dann für jeden Datenbus ein jeweils zugeordneter Transceiver vorgesehen, der

15 jedoch nur für einen ihm jeweils zugeordneten Datenbustyp geeignet ist.

Der Nachteil dieser Lösung besteht darin, dass je nach Fahrzeugtyp verschiedene Datenbussysteme in dem Fahrzeug vorgesehen sein können und infolge dessen ein Gateway dieses Typs schon dann nicht mehr uneingeschränkt einsetzbar ist, wenn auch
20 nur ein Datenbustyp in dem Fahrzeug sich ändert. Ein solcher Gateway ist somit insbesondere nicht für verschiedene Fahrzeugtypen mit differierender Datenbusstruktur bzw. differierenden Datenbustypen geeignet.

Es ist Aufgabe der Erfindung, einen skalierbaren System Chip zur Verkopplung von
25 wenigstens zwei Datenbussystemen anzugeben, welcher eine möglichst hohe Flexibilität bezüglich verschiedener eingesetzter Datenbustypen aufweist. Diese Aufgabe ist erfindungsgemäß durch die Merkmale des Patenanspruchs 1 gelöst:

Skalierbarer System Chip zur Verkopplung von wenigstens zwei Datenbussystemen mit

wenigstens einem auf dem System Chip integrierten Transceiver, der für eine Kopplung zu einem Datenbus eines ersten Typs vorgesehen ist, und wenigstens einer auf dem System Chip integrierten Steuerung zur Steuerung wenigstens eines externen Transceivers, der für eine Kopplung mit einem Datenbus eines zweiten Typs
5 vorgesehen ist.

Der erfindungsgemäße skalierbare System Chip weist einerseits wenigstens einen auf dem System Chip vorgesehenen und mitintegrierten Transceiver auf, der für einen ihm zugeordneten Datenbustyp vorgesehen ist. Bei diesem Transceiver können Daten mit
10 diesem Datenbustyp ausgetauscht werden. Selbstverständlich können dabei mehrere Transceiver auf dem System Chip integriert sein, die dann jeweils für einen ihnen zugeordneten Datenbustyp vorgesehen sind.

Darüber hinaus weist der System Chip wenigstens eine Steuerung auf, welche ihrerseits
15 für die Steuerung wenigstens eines externen Transceivers vorgesehen ist. Dieser externe Transceiver ist wiederum jeweils für einen bestimmten Datenbustyp vorgesehen. Es können extern an die Steuerung mehrere Transceiver angeschlossen, die jeweils für einen ihnen zugeordneten Datenbustyp vorgesehen sind.

20 Der erfindungsgemäße skalierbare System Chip bietet infolge dieser Architektur eine hohe Flexibilität, da die externen Transceiver je nach Bedarf und je nach vorgefundenen Datenbustypen vorgesehen sein können. Der System Chip seinerseits ist für alle Konstellationen geeignet und kann infolgedessen für alle Konstellationen eingesetzt werden, ohne angepasst werden zu müssen.

25

Trotz dieser Flexibilität steuert der System Chip alle Transceiver, nämlich sowohl die auf dem Chip vorgesehenen, wie auch die extern vorgesehenen. Somit ist trotz der Flexibilität eine optimale Systemsicherheit gewährleistet, da die Steuerung quasi in einem geschlossenen System stattfindet.

30

Wie gemäß einer Ausgestaltung der Erfindung nach Anspruch 2 vorgesehen ist, kann der System Chip vorteilhaft mit einem extern vorgesehenen Microcontroller zusammenarbeiten, der wenigstens Teile der Sende- und/oder Empfangsprotokolle der internen und externen Transceiver bearbeitet.

5

Da diese Sende- und/oder Empfangsprotokolle gegebenenfalls physikalisch mit verschiedenen Spannungspegeln geführt werden, kommen diese Signale vorteilhaft, wie gemäß einer weiteren Ausgestaltung der Erfindung nach Anspruch 4 vorgesehen ist, über den System Chip geführt werden, der die entsprechenden Spannungsausgleiche vornimmt.

10

Der skalierbare Chip kann im Falle eines Ausfalls oder nicht korrekter Arbeitsweise des externen Microcontrollers Basissteuerungsaufgaben der internen und externen Transceiver übernehmen, wie dies gemäß einer Ausgestaltung der Erfindung nach Anspruch 3 vorgesehen ist. In einem solchen Störfall kann somit der System Chip alle Transceiver zu allen verschiedenen Datenbussystemen dennoch kontrollieren.

15

Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand der Zeichnung näher erläutert.

20

Die einzige Figur der Zeichnung zeigt in Form eines Blockschaltbildes einen erfindungsgemäßen skalierbaren System Chip 1.

25

Der System Chip 1 weist einen ersten integrierten Transceiver 2 auf, der zur Herstellung einer Kopplung mit einem externen, in der Figur nicht näher angedeuteten, Datenbus eines Typs A vorgesehen ist.

Der System Chip 1 weist ferner einen zweiten integrierten Transceiver 3 auf (optional), der zur Kopplung mit einem zweiten externen Datenbustyp B vorgesehen ist.

30

In dem System Chip 1 ist ferner eine Steuerung 4 vorgesehen, welche über Steuerungsverbindungen 5, 6 und 7 extern vorgesehene Transceiver 8, 9 und 10 steuert und kontrolliert. Jeder dieser Transceiver 8, 9 und 10 ist jeweils für einen eigenen Datenbustyp vorgesehen, anhand der Darstellung gemäß der Figur ist der Transceiver 8 für einen Datenbustyp C, der Transceiver 9 für einen Datenbustyp D und der Transceiver 10 für einen anderen Datenbustyp, der hier mit n bezeichnet ist, vorgesehen, wobei C, D und n auch vom gleichen Typ sein können.

Der System Basis Chip 1 arbeitet ferner mit einem extern vorgesehenen Microcontroller 11 zusammen, den der System Basis Chip 1 bezüglich Spannungsversorgung (P), Reset (R) und Interrupt (Int) steuert.

Es ist zum Austausch von Daten zwischen dem System Basis Chip 1 und dem Microcontroller 11 ein Datenbus D vorgesehen, bei dem es sich beispielsweise um einen an sich bekannten SPI-Datenbus handeln kann.

Das zur Verfügung stellen und das Entgegennehmen von Daten, die die internen Transceiver 2 oder 3 oder die externen Transceiver 8, 9 oder 10 senden bzw. entgegennehmen, kann mittels des Microcontrollers 11 erfolgen. Pro Transceiver sind 2 Leitungen vorgesehen, eine Sendeleitung und eine Empfangsleitung, die in der Figur nicht näher angedeutet sind. Da gegebenenfalls die Transceiver 2, 3, 8, 9 und 10 sowie die Microcontroller 11 gegebenenfalls mit verschiedenen Spannungspegeln arbeiten können, ist es vorteilhaft, diese Sende- und Empfangsleitungen über den System Chip 1 zu führen, in dem ein entsprechender Spannungsausgleich vorgenommen wird. In der Figur sind lediglich die Sende- und Empfangsleitungen I/O zwischen Microcontroller 11 und System Chip 1 angedeutet; diese führen in dem System Chip nach, gegebenenfalls erfolgter, Spannungsumsetzung, zu den Transceivern 2 und 3 und über die Verbindungen 5, 6 und 7 auch zu den extern vorgesehenen Transceivern 8, 9 und 10.

In dem System Chip 1 ist ferner eine Stromversorgungseinheit 12 vorgesehen, welche eine Stromversorgung nicht nur innerhalb des System Chips 1, sondern auch für die externen Transceiver 8, 9 und 10 vornehmen kann.

- 5 Aufgrund seiner Architektur bietet der erfindungsgemäße System Chip 1 eine große Flexibilität, da einerseits die Anzahl der internen Transceiver 2 und 3 den voraussichtlichen Bedürfnissen angepasst werden kann. Insbesondere kann der System Chip 1 aber vorteilhaft so ausgelegt sein, dass er eine, in jedem Falle ausreichende, Anzahl von externen Transceivern 8, 9 oder 10 ansteuern kann. Diesen externen
- 10 Transceiver 8, 9 oder 10 können in ihrer Bauweise auf die jeweiligen Erfordernisse, d.h., auf die Datenbustypen, mit denen sie Daten austauschen, angepasst werden. Diese Adaption wird ausschließlich durch die Wahl geeigneter externer Transceiver, der System Chip 1 seinerseits kann unverändert bleiben.
- 15 Es ist dabei vorteilhaft, die internen Transceiver für solche Datenbustypen vorzusehen, die mehr oder weniger immer vorgesehen sind und die externen Transceiver für solche Datenbustypen vorzusehen, die nur teilweise implementiert sind.

- Trotz dieser hohen Flexibilität bietet der System Chip 1 eine hohe Betriebssicherheit, da
- 20 er beispielsweise bei einer beliebigen Hardwarestörung des externen Microcontrollers 11 oder einer fehlerhaften Software des Microcontrollers 11 dennoch gewisse Basissteuerungsaufgaben (Notlauf) sowohl der internen, wie über die Steuerung 4, auch der externen Transceiver vornehmen kann.

PATENTANSPRÜCHE

1. Skalierbarer System Chip (1) zur Verkopplung von wenigstens zwei Datenbussystemen mit wenigstens einem auf dem System Chip integrierten Transceiver (2;3), der für eine Kopplung zu einem Datenbus eines ersten Typs vorgesehen ist, und wenigstens einer auf dem System Chip integrierten Steuerung (4) zur Steuerung
5 wenigstens eines externen Transceivers (8;9;10), der für eine Kopplung mit einem Datenbus eines zweiten Typs vorgesehen ist.
2. Skalierbarer System Chip (1) nach Anspruch 1, dadurch gekennzeichnet, dass der System Chip (1) einen Anschluß für einen externen Microcontroller (11) aufweist, der
10 vom System Chip (11) bezüglich Spannung, Reset und Interrupt gesteuert wird und der wenigstens Teile der Sende-Empfangsprotokolle der internen und externen Transceiver (8;9;10) bearbeitet.
3. Skalierbarer System Chip (1) nach Anspruch 2, dadurch gekennzeichnet, dass der
15 System Chip (1) im Falle eines Ausfalls des externen Microcontrollers (11) Basis-Steuerungsaufgaben für den internen Transceiver (2;3) und für die Steuerung des externen Transceivers (8;9;10) übernimmt.
4. Skalierbarer System Chip nach Anspruch 1, dadurch gekennzeichnet, dass zwischen
20 dem externen Microcontroller (11) und den internen (2;3) und externen (8;9;10) Transceivern ausgetauschte Sende- und/oder Empfangssignale über den System Chip (1) geführt werden, in welchem gegebenenfalls eine Pegeladaption dieser Signale erfolgt.

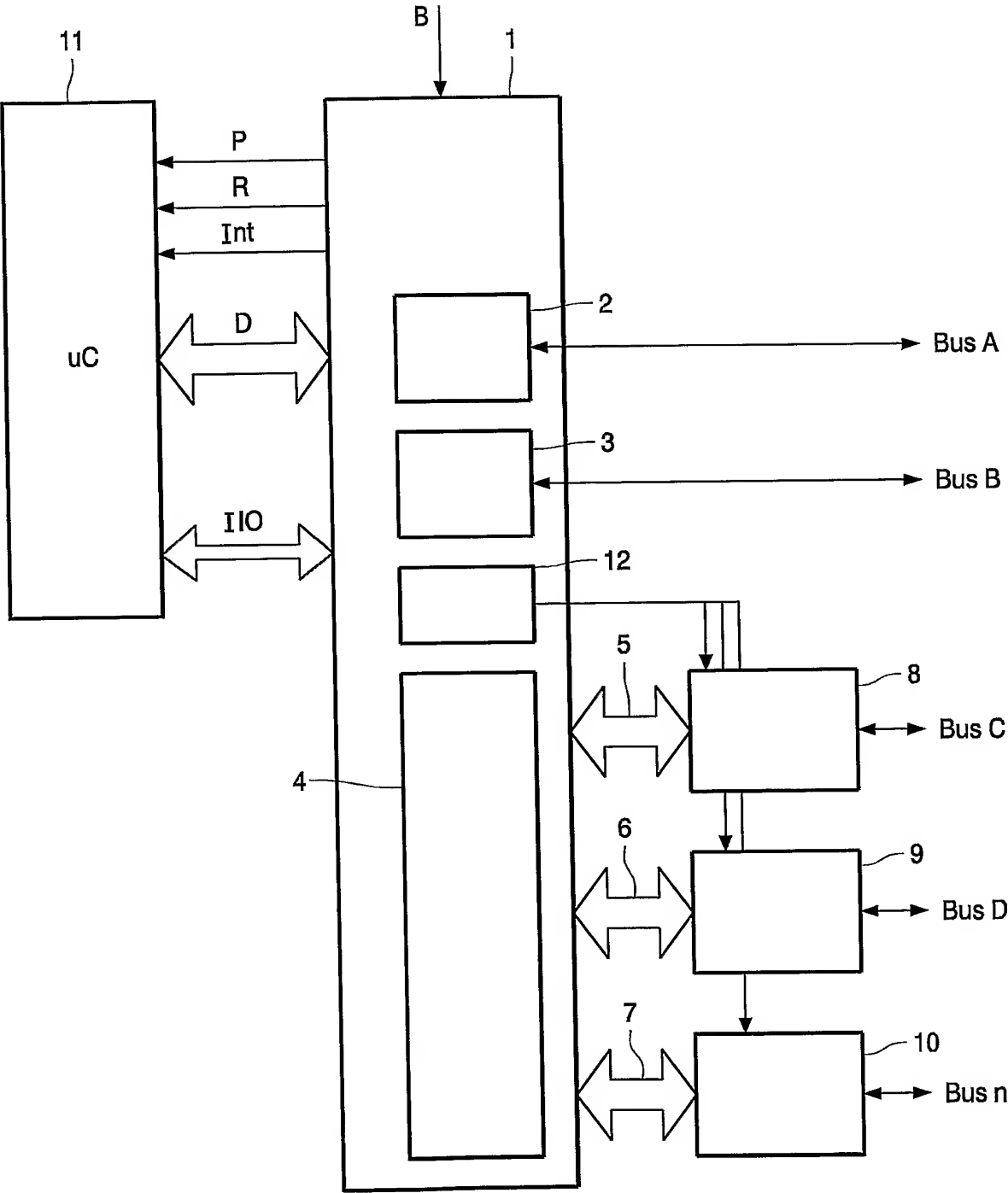
5. Verwendung eines System Chips (1) nach einem der Ansprüche 1 bis 4 in einem Fahrzeug zur Verkopplung mehrerer in dem Fahrzeug vorgesehener Datenbussysteme verschiedener Typen.

ZUSAMMENFASSUNG

Skalierbarer System Chip

Die Erfindung bezieht sich auf einen Skalierbaren System Chip (1) zur Verkopplung von wenigstens zwei Datenbussystemen mit wenigstens einem auf dem System Chip
5 integrierten Transceiver (2;3), der für eine Kopplung zu einem Datenbus eines ersten Typs vorgesehen ist, und wenigstens einer auf dem System Chip integrierten Steuerung (4) zur Steuerung wenigstens eines externen Transceivers (8;9;10), der für eine Kopplung mit einem Datenbus eines zweiten Typs vorgesehen ist.

10 Fig.1



PCT/IB2005/050567

